

⑪ 公開特許公報 (A) 平4-163910

⑫ Int. Cl.³H 01 L 21/20
27/12
29/784

識別記号

府内整理番号

A 9171-4M
7514-4M

⑬ 公開 平成4年(1992)6月9日

9056-4M H 01 L 29/78 311 F
審査請求 未請求 請求項の数 2 (全5頁)

④ 発明の名称 半導体薄膜の製造方法

⑤ 特願 平2-291255

⑥ 出願 平2(1990)10月29日

⑦ 発明者 国井 正文 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑧ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑨ 代理人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体薄膜の製造方法

2. 特許請求の範囲

(1) シリコンを主成分とする非晶質半導体を基板上に堆積させる方法において、前記非晶質半導体の成膜ガスにヘリウムを希釈ガスとした混合ガスを用いたことを特徴とする半導体薄膜の製造方法。

(2) 前記非晶質半導体をアニールして固相成長させる工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体薄膜の製造方法に関する。

【従来の技術】

多結晶シリコン (poly-Si) 薄膜は、高集積化半導体デバイス、或いは大面積の電子デバイス、例えば液晶ディスプレイやイメージセンサ

等への様々な応用が可能なので盛んに研究されてきた。高キャリア移動度を持つ poly-Si 薄膜トランジスタ (TFT) はドライバ内蔵型の液晶ディスプレイや密着型イメージセンサに応用が可能なので精力的に研究が進められてきた。特に、プラズマ化学気相成長法 (PCVD) を用いて非晶質シリコン (a-Si) を作成し、これを N₂ ガス雰囲気中で固相成長アニールして大粒径 poly-Si を作成して高キャリア移動度 TFT を作成する方法は盛んに研究されている。

また一方、ドープト poly-Si は從来から TFT のゲート電極材料に用いられている。ドープト poly-Si の抵抗率を低減するために PCVD 法で不純物濃度を高濃度にドーピングした非晶質シリコン (a-Si) を成膜し、これを固相成長させることにより低抵抗 poly-Si を形成する方法がある。

【発明が解決しようとする課題】

PCVD 法で形成した a-Si は、從来から希釈ガスに純水素を用いてきた。この a-Si は水

素を多量に含むので、この水素をアニールで放出させる時間が結晶核の発生に要する潜伏時間として働き、固相成長時間が長時間になるという問題点があった。本発明は以上の問題点を解決するものでその目的は、大粒径、或いは低抵抗poly-Siを短時間のアニールで作成することにある。

[課題を解決するための手段]

本発明の半導体薄膜の製造方法は、

(1) シリコンを主成分とする非晶質半導体を基板上に堆積させる方法において、前記非晶質半導体の成膜ガスにヘリウムを希釈ガスとした混合ガスを用いたことを特徴とする。

(2) 前記非晶質半導体をアニールして固相成長させる工程を含むことを特徴とする。

[実施例]

以下、第3図をもとに、本発明の半導体薄膜の製造方法を説明する。本実施例では半導体の例にSiを用いて説明するが、Ge、SiGe等の半導体でも同様に適用できる。また本発明の実施例には薄膜トランジスタ(TFT)を例として取り

上げるが、適用例はTFTに限ることではなく結晶シリコンウェハ上に形成した集積回路素子(I.C.、LSI)等にももちろん同様に適用できる。

まず、石英基板300上にPCVD、または減圧化学気相成長法(LPCVD)により、非晶質、または多結晶Si薄膜を約1000~1500Å成膜する。基板は石英基板に限らず、低融点のガラス基板でも、MgO·Al₂O₃、CaF₂、BP等の結晶性絶縁基板でも良い。このSi薄膜をTFTのチャネル領域301のバタンにエッチングした後、固相成長、レーザーアニーリング等の手段によって大粒径化する(第3図(a))。固相成長はバタニングの前に行っても良い。

本実施例ではa-SiをPCVD法で成膜し、これを固相成長アニールして粒径数μmの大粒径poly-Siを作成する工程を例に述べる。成膜ガスはSiH₄とHeガスを、

$[SiH_4] / [He] = 5 \sim 20\%$
の割合で混合したガスを用いる。望ましくは18%程度が良い。基板温度は150~250°Cで、

180°C程度が望ましい。内圧は0.8Torrである。rf周波数は13.56MHz、power密度を30~100mW/cm²とした。power密度は63mW/cm²が望ましい。この条件で成膜したa-Si膜を600°CのN₂ガス中でアニールしてpoly-Siに転移させる。ここでHe希釈ガスの効果を明らかにするために、希釈ガスにH₂ガスを用いて成膜したa-Si膜を、同様に固相成長させた時との比較をしてみる。H₂ガスの場合のSiH₄ガスの希釈率もHeガスと等しい。第1図にラマン散乱法で求めたa-Siの結晶化率の固相成長アニール時間依存性を示す。アニール温度は600°Cである。第1図で実線はHe希釈ガスを用いた場合の結晶化率変化曲線、破線はH₂希釈ガスを用いた場合のそれである。第1図から明らかなように、He希釈ガスを用いた場合はH₂希釈ガスの場合に比較して短時間でpoly-Siに転移することがわかる。

つぎに熱酸化またはスパッタ法等により、Si薄膜上にゲート絶縁膜のSiO₂302を約300

~1500Å成膜する。このSiO₂薄膜上にドープト a-Si薄膜303を約2000~7000Å成膜する(第3図(b))。PCVD法はドーピングガスとSiH₄ガスとの流量比を変化させることによりドーピング濃度を比較的自由に設定できる。このため不純物原子が数パーセント以上の高濃度ドーピングも容易にできるという利点がある。

ここでもa-Si薄膜303の成膜にPCVD法を例に取って説明する。成膜ガスにはSiH₄とHeガスで希釈したドーピングガスとの混合ガスを用いた。ドーピングガスにはp型Si薄膜を成膜する場合はB₂H₆ガスを、n型Si薄膜を成膜する場合はPH₃ガスを用いた。He希釈のドーピングガス濃度はB₂H₆、PH₃とも0.1~1%の範囲で、0.5%が望ましい。基板温度は150~250°Cで、特に180°C付近が望ましい。内圧は0.8Torrである。rf周波数は13.56MHz、power密度を30~100mW/cm²とした。power密度は63mW/cm²

²が望ましい。SiH₄とPH₃、B₂H₆ガスとの混合比はガス流量比で、

$$[B_2H_6] / [SiH_4] \geq 0.1\%$$

$$[PH_3] / [SiH_4] \geq 0.1\%$$

の範囲で、B₂H₆(p型)の場合は5%程度が、PH₃(n型)の場合は0.5%程度が特に望ましい。ガス流量比が0.1%未満では、Siに対するB、Pの固溶限界よりも小さいので、後述の活性化アニール後の抵抗率の低減効果が小さく、從来からの熱拡散法で形成したドープトpoly-Siと抵抗率に差がないからである。特にBドープの場合は前記固溶限界以上のガス濃度比で成長すると効果が大きい。a-Si膜303の作成はPCVD法に限ることではなくSi₂H₆とB₂H₆/Heとの混合ガスを基板温度450°C程度で熱分解するLPCVD法でも良い。

この後、固相成長(活性化)アニールをしてドープトa-Siをドープトpoly-Si304に転移させる(第3図(c))。アニール条件は、ドープトa-Si薄膜のドーパント濃度と、ド-

バントタイプ(n、p)別により大きく異なるが、一般的には550~1000°Cの範囲の温度で数時間のアニールをする。但し低融点ガラス基板を用いるときは、アニール温度は600°C以下に制限される。

ここでもHeガスの希釈効果を明らかにするために、一例としてドーピングガスのB₂H₆ガスをH₂ガスで希釈したガスを用いた場合との比較をしてみる。ドーパントの希釈ガスに対する希釈温度はHe、H₂ガスとも、[B₂H₆] / [He] = [B₂H₆] / [H₂] = 0.2%である。第1図にpoly-Siの抵抗率の固相成長アニール時間依存性を示す。アニール温度は600°Cである。Siに対するドーパントの濃度はガス流量比[B₂H₆] / [SiH₄] = 2%とした。第1図において、実線はHe希釈ドーピングガスを用いた場合で、破線はH₂希釈ドーピングガスを用いた場合である。第1図から明らかなようにHe希釈ガスを用いた場合はH₂希釈ガスを用いた場合よりも短時間で低抵抗のpoly-Siが得られることがわ

かる。これは以下の理由による。H₂希釈ガスを用いた場合はa-Si中の水素量がHe希釈ガスを用いた場合よりも多いので、アニールの初期段階でH₂がa-Si膜中から脱離して一定レベル以下の濃度になるのに時間がかかる。a-Si膜中のH₂濃度がある一定レベル以下にならないと固相成長は始まらないため、He希釈ガスでa-Si中のH₂濃度を下げておくことにより、固相成長開始に要するアニール時間を短縮できる。

アニール方法自体は結晶粒界等へのドーパントの偏析、異常拡散が起こらない程度の昇温速度と到達温度、かつ表面酸化膜が形成されにくい降温方法を有するものならばどのような方法でも良い。アニール時間については、ドーパントの活性化率が飽和するだけのアニール時間がかけられれば望ましい。特にドーパントを2%以上に高濃度ドーピングしたpoly-Siでは、低温から徐々に高温アニーリングに移行するステップアニーリングが良い。このようなステップアニーリングを施す理由は、昇温速度が速かったり初期アニール温

度が高かったりすると、結晶粒界にドーパントが偏析し、このため低濃度ドープのpoly-Siよりも抵抗率が逆に高くなることがあるのを防ぐためである。低抵抗のpoly-Siを得るためにには、初期アニールを550~620°Cの比較的の低温で2時間以上アニールしてpoly-Siの平均粒径を1μm以上の大粒径にすることが望ましい。結晶粒径が小さいと、単位体積あたりに含まれる結晶粒界の長さが長くなり、不純物が粒界に偏析した場合、抵抗率の著しい上昇を招くからである。

アニール時の最高温度が900°C未満で固相成長アニールしたpoly-Si薄膜の結晶粒界には、微視的には非晶質領域が残っている。この粒界での非晶質領域は活性化アニール時間を長くしても完全には結晶質に転移させることはできない。そこでn型試料の場合は固相成長アニールの後で、N₂アニールを900°C以上の温度で30分間以上行うことが望ましい。それは非晶質相を結晶質に転移させ、結晶粒径を大きく保ったまま非晶質相

の体積を更に減少させることで更に抵抗率を下げる事ができるからである。またこの短時間アニール工程はN₂アニールに限らずハロゲンランプ等によるラビッドサーマルアニーリング法等で代替することもできる。ドーパントがホウ素の場合は前記N₂アニール温度は1000℃未満にする。N₂アニールを1000℃以上で行うと、シリコン中のB原子が結晶粒界中、或いは石英基板中に偏析して、かえって抵抗率が高くなるからである。

この後、ドープトpoly-Siをバタニングしてゲート電極305を形成する。上述のドープトa-Siの固相成長はゲート電極のバタニング後に行っても良い。次に、nチャネルTFTの場合はP+イオンを、pチャネルTFTの場合はB+イオンをゲート電極をマスクとしてイオンインプランテーションし、ソース領域306及びドレイン領域307を形成する。この後ソース・ドレインの活性化を目的として600～900℃で熱アニールを施す(第3図(d))。

次いでこの上部に減圧CVD法により、層間絶

縁膜のSiO₂膜308を約8000Å成膜する(第3図(e))。層間絶縁膜には塗化シリコン膜等でもよい。この段階で水素プラズマ法、水素イオン注入法、あるいはプラズマ塗化膜からの水素の拡散法等の方法で水素をチャネルシリコン層中に導入すると、ゲート絶縁膜/Si界面や結晶粒界等に存在するダンギングボンドが終端化され、欠陥準位密度が減る効果がある。この様な水素化工程は層間絶縁膜を積層する前に行なっても良い。

最後にソース、ドレインのコンタクトホールを空けて配線材の金属膜(A1等)を約8000Åスパッタ法で成膜し、ソース電極309、ドレイン電極310を成膜、バタニングしてTFTの完成となる(第3図(f))。

[発明の効果]

本発明の半導体薄膜の製造方法によれば、従来の水素希釈ガスを用いたa-Siから固相成長させる方法に比較して短時間で低抵抗のドープトpoly-Siを形成することができる。このため

TFT等を用いた大面積電子デバイスの量産時のスループットを大きく上昇させることができる。このため、大面積液晶パネル、密着型イメージセンサ、TFT駆動液晶シャッタアレイ、TFT駆動サーマルヘッド等への応用に際して効果を發揮する。またTFT応用商品ばかりでなく、3次元SOI素子あるいはSRAM等の高集積化半導体素子、バイポーラトランジスタ等の半導体デバイス全般に応用可能である。

4. 図面の簡単な説明

第1図はアニール時間に対するa-Siの結晶化率の変化を示す図。

第2図はアニール時間に対するドープトpoly-Siの抵抗率の変化を示す図。

第3図はTFTの製造工程を示す図。

101...水素希釈ガスを用いて成膜したa-Siの結晶化率変化曲線。

102...ヘリウムガスを用いて成膜したa-Siの結晶化率変化曲線。

201...水素希釈ガスを用いて成膜したpoly-Siの抵抗率変化曲線。

202...ヘリウム希釈ガスを用いて成膜したpoly-Siの抵抗率変化曲線。

300...石英基板。

301...チャネル領域。

302...ゲート酸化膜。

303...ドープトa-Si。

304...ドープトpoly-Si。

305...ゲート電極。

306...ソース領域。

307...ドレイン領域。

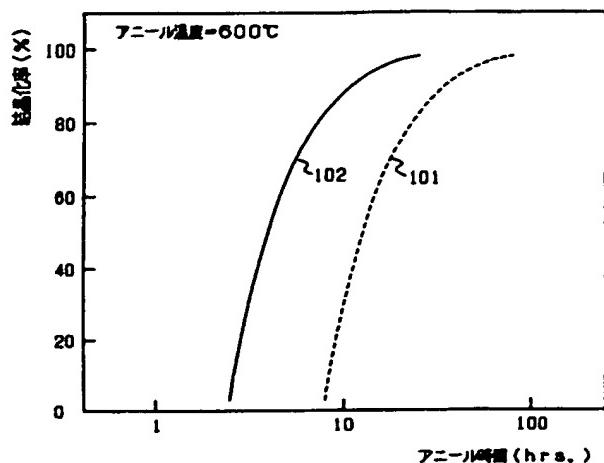
308...層間絶縁膜。

309...ソース電極。

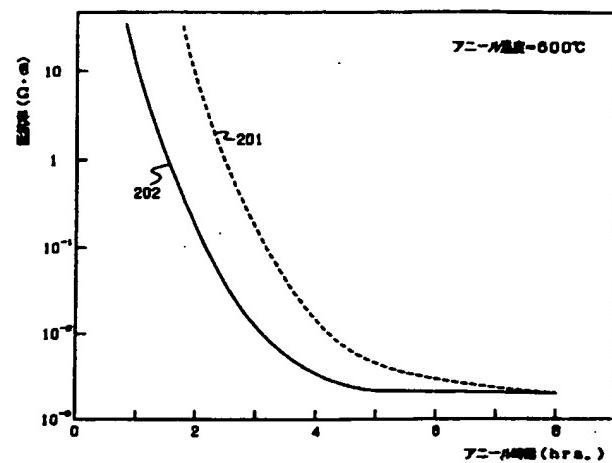
310...ドレイン電極。

以上

出願人 セイコーエプソン株式会社



第1図



第2図

